

Attorney Docket No.: 15162/01250



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re

U.S. Application: Junji NISHIGAKI

For: IMAGE PROCESSING SYSTEM INCLUDING
SYNCHRONOUS TYPE PROCESSING UNIT AND
ASYNCHRONOUS TYPE PROCESSING UNIT, AND IMAGE
PROCESSING METHOD

U.S. Serial No. Not yet assigned

Filed: Concurrently

Group Art Unit: To be determined

Examiner: To be determined

Assistant Commissioner
for Patents
Washington, D.C. 20231

"Express Mail" mailing label number EL072253401US

Date of Deposit November 3, 1999

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the dated indicated above and is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

Derrick T. Gordon

(Typed or printed name of person mailing paper or fee)

Derrick T. Gordon
(Signature of person mailing paper or fee)

November 3, 1999


Date of Signature

CERTIFIED COPY OF PRIORITY DOCUMENT

Submitted herewith is a certified copy of Japanese patent application number 10-317997, filed on November 9, 1998.

Priority benefit under 35 U.S.C. § 119/365 for this Japanese patent application is claimed for the above-identified United States patent application.

Respectfully submitted,



James W. Williams
Registration No. 20,047
Attorney for Applicant

JWW/tjf

SIDLEY & AUSTIN
717 N. Harwood
Suite 3400
Dallas, Texas 75201-6507
(214) 981-3328 (direct)
(214) 981-3300 (main)
November 3, 1999

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年11月 9日

出 願 番 号

Application Number:

平成10年特許願第317997号

出 願 人

Applicant (s):

ミノルタ株式会社

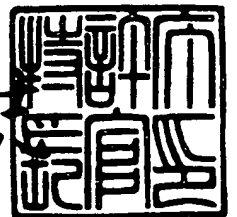


CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 7月15日

特許庁長官
Commissioner,
Patent Office

伴佐山 建



出証番号 出証特平11-3050456

【書類名】 特許願

【整理番号】 1980864

【提出日】 平成10年11月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/00

【発明の名称】 画像処理システム

【請求項の数】 3

【発明者】

 【住所又は居所】 大阪府中央区安土町二丁目3番13号大阪国際ビル ミ
 ノルタ株式会社内

 【氏名】 西垣 順二

【特許出願人】

 【識別番号】 000006079

 【住所又は居所】 大阪府中央区安土町二丁目3番13号大阪国際ビル

 【氏名又は名称】 ミノルタ株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100096792

 【弁理士】

 【氏名又は名称】 森下 八郎

【手数料の表示】

 【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716296

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理システム

【特許請求の範囲】

【請求項 1】 処理の対象となる画像データに対し第 1 の画像処理を行なう同期式の処理手段と、

前記処理の対象となる画像データの所定領域の画像データに対し第 2 の画像処理を行なう非同期式の処理手段と、

前記同期式の処理手段の出力および前記非同期式の処理手段の出力を合成して 1 つの画像データとする合成手段とを備えた、画像処理システム。

【請求項 2】 前記合成手段は、前記同期式の処理手段の出力を記憶するメモリと、

前記メモリに記憶された前記同期式の処理手段の出力の一部を前記非同期式の処理手段の出力で置換える置換手段とを含む、請求項 1 に記載の画像処理システム。

【請求項 3】 前記同期式の処理手段の出力が前記メモリに記録される状態を検出することで、前記置換手段による置換えのタイミングを制御する制御手段をさらに備えた、請求項 2 に記載の画像処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は画像処理システムに関し、特に同期式の処理手段と非同期式の処理手段とを有する画像処理システムに関する。

【0002】

【従来の技術】

従来よりメモリに記録された画像データの読出を行ない、読出された画像データに対して画像処理を行なう画像処理装置が知られている。画像処理装置は同期式の回路または非同期式の回路で構成することができる。ここで同期式の回路の例としては、ASIC (application specific integrated circuit) などのハードウェア回路が挙げられ、非同期式の回路の例として MPU などにより構成さ

れるソフトウェアによる処理を行なう回路が挙げられる。

【0003】

【発明が解決しようとする課題】

しかしながら、従来の画像処理装置には以下のような問題点があった。

【0004】

すなわち、全体を同期式の回路で構成した画像処理装置においては、処理速度が負荷の重い処理によって決まってしまう、負荷の重い処理を行なう必要がなくても処理が遅くなってしまうという問題点がある。これは、どんな画像データの処理を行なう場合にあって、負荷の重い処理にかかる時間分の処理が必要となるからである。たとえば、図11に示されるように、同期式の回路900を、ラインメモリ901と、マトリックス処理部903と、 γ 補正部905とで構成すると、常にNライン分の画像データをラインメモリ901に格納しなければならないため、データの遅れが生じる。また、常に複雑なマトリックス演算処理（たとえば浮動小数点の積算処理など）を行なうため、データ（演算結果）の遅れが生じるのである。

【0005】

また、全体を同期式の回路で構成すると、同期式の回路自体が複雑となり、柔軟性がなくなるため、画像データの解像度などが変更された場合に装置の全体構成を変更する必要性が生じ、コストアップに繋がる。

【0006】

一方、画像処理装置の全体を非同期式の回路で構成すると、高速処理が困難となる。

【0007】

そこでこの発明は、高速処理が可能であり、かつ解像度の変更などされた場合のコストアップを防止することができる画像処理装置を提供することを目的としている。

【0008】

【課題を解決するための手段】

上記目的を達成するためこの発明のある局面に従うと画像処理システムは、処

理の対象となる画像データに対し第1の画像処理を行なう同期式の処理手段と、処理の対象となる画像データの所定領域の画像データに対し第2の画像処理を行なう非同期式の処理手段と、同期式の処理手段の出力および非同期式の処理手段の出力を合成して1つの画像データとする合成手段とを備える。

【0009】

好ましくは合成手段は、同期式の処理手段の出力を記憶するメモリと、メモリに記憶された同期式の処理手段の出力の一部を非同期式の処理手段の出力で置換える置換手段とを含む。

【0010】

さらに好ましくは画像処理システムは、同期式の処理手段の出力がメモリに記録される状態を検出することで、置換手段による置換えのタイミングを制御する制御手段をさらに備える。

【0011】

これらの発明に従うと、所定領域の画像データに対してのみ非同期式の処理手段が第2の画像処理を行なうため、高速処理が可能な画像処理システムを提供できる。また第2の画像処理を行なうべき所定領域が存在しない場合には同期式の処理手段の出力のみを使用すればよいため、高速な処理が可能となる。

【0012】

また、非同期式の処理手段は、柔軟性があるため、画像データの解像度などが変化した場合に、変更が必要となる処理内容（たとえばN次元処理）のみを変更することが容易である。したがって、解像度などが変更となった場合にも、コストアップを防止することができる。

【0013】

また同期式の処理手段が処理を行なっている間に、非同期式の処理手段が第2の画像処理を行なうようにすると、さらに高速な処理が可能である。

【0014】

【発明の実施の形態】

図1は、以下に説明する本発明の実施の形態における画像処理装置の動作を説明するための図である。図を参照して、原稿画像データ100のすべての領域に

対して同期式の回路が負荷の軽い画像処理を行なう。その結果はメモリに書込まれる。また、原稿画像データ100内のマトリックス演算などの負荷の重い処理を必要とする領域（たとえば文字領域）100a, 100bに対しては、非同期式の回路がマトリックス演算などの処理を行なう。同期式の回路の処理結果が書込まれたメモリに対し、非同期式の回路の処理結果がオーバーライトされる。

【0015】

同期式の回路により原稿画像データの全領域に対しては高速な画像処理を行なうことができ、マトリックス演算などの処理を必要とする領域のみに対し非同期式の回路による画像処理が行なわれる。同期式の回路の行なう処理としてたとえば γ 補正などの1次元処理があり、非同期式の回路が行なう処理として文字領域に対するエッジ強調処理、網点領域に対する平滑化処理などの2次元処理がある。

【0016】

また、非同期式の回路は柔軟性があるため、画像データの解像度などが変更されたときに処理内容を変更することが容易であり、コストの発生を防ぐことができる。

【0017】

図2は、画像処理装置の動作をさらに詳しく説明するための図である。図を参照して、処理の対象となる画像は横WX画素、縦WY画素の容量を有する入力画像メモリに格納される。入力画像メモリ内の1つの画素のデータIDiがシリアルに読出され、所定の関数により γ 補正され、 γ 補正データODi1とされる。

【0018】

γ 補正データODi1は、出力画像メモリの対応するアドレスに記録される。すべての画素に対し、 γ 補正が行なわれる。

【0019】

次に、入力画像メモリの中の所定の領域内の画素に対し、マトリックス演算が行なわれる。マトリックス演算の対象となる画素のアドレスを(i, j)とし、そのアドレスのデータをD(i, j)とし、マトリックスの大きさを横M、縦Nとすると、マトリックス演算後のデータは、以下の式(1)で表わされる。

【0020】

$$T \Sigma k(i, j) \cdot D(i, j) \quad \dots (1)$$

ただし、 $T, k(i, j)$ は定数であり、 $i = 0 \sim (M-1)$ 、 $j = 0 \sim (N-1)$ である。その後、マトリックス演算後のデータに対し、 γ 補正が行なわれデータ $ODi2$ とされる。

【0021】

出力画像メモリにはまず、 γ 補正データ $ODi1$ が書込まれ、その後所定の位置にデータ $ODi2$ が書込まれる。

【0022】

〔第1の実施の形態〕

図3は、本発明の第1の実施の形態における画像処理装置の構成を示すブロック図である。図を参照して、画像処理装置は入力画像メモリ201と、入力メモリ制御部203と、 γ 補正部205と、出力メモリ制御部207と、マトリックス演算部209と、出力画像メモリ211とから構成される。入力データの処理にあたっては、入力データ用のデータバスが用いられ、出力用のデータの処理にあたっては出力データ用のデータバスが用いられている。

【0023】

スキャナなどにより入力された画像データは、一旦入力画像メモリ201に格納される。入力画像メモリ201の格納容量は、画像データのサイズが（主走査画素数，副走査画素数）＝（ WX, WY ）の場合には、モノクロ画像で $WX \times WY$ となる。また、カラー（RGB）画像では $WX \times WY \times 3$ となる。カラー（CMYK）画像では $WX \times WY \times 4$ となる。以降の実施の形態の説明においては、説明を簡単にするために入力画像メモリ201の格納容量が $WX \times WY$ であるものとして説明している。また、本実施の形態においては画像データの符号化を行っていないが、符号化処理を行なうようにし、入力画像メモリ201のメモリ容量を削減するようにしてもよい。

【0024】

入力メモリ制御部203、 γ 補正部205および出力メモリ制御部207では、回路が比較的簡単なロジックで構成されるため、高速化処理が可能なASIC

回路で構成される。マトリックス演算部209は、 $M \times N$ 画素の画像データを読み出し、複雑な演算を行なうため、複雑な演算が可能なMPU（マイクロプロセッサ）が採用されている。

【0025】

入力メモリ制御部203は、DMA（ダイレクトメモリアクセス）制御により、開始アドレスから順に終了アドレス（開始アドレス+ $WX \times WY$ ）まで、入力画像メモリ201に格納された画像データを読み出す。また、入力メモリ制御部203は、入力画像メモリ201へのアクセスがビジー状態であるか否かを示す状態フラグ（imbフラグ）を内部レジスタに持つ。

【0026】

γ 補正部205は、図示しない内部RAMに格納された、入力データ（8bit：0～255）に対する出力データ（8bit：0～255）のテーブルに依り、入力されたデータを変換し出力する。

【0027】

出力メモリ制御部207は、DMA制御により、開始アドレスから順に終了アドレス（開始アドレス+ $WX \times WY$ ）まで、出力画像メモリ211に γ 補正後のデータを書込む。また、出力メモリ制御部207は、出力画像メモリ211へのアクセスがビジー状態であるか否かを示す状態フラグ（ombフラグ）を内部レジスタに持つ。

【0028】

マトリックス演算部209は入力メモリ制御部203のimbフラグを監視し、ノンビジー状態であれば、入力画像メモリ201から注目画素を含む $M \times N$ 画素のデータをランダムアクセスにより読出す。そして、文字領域においてはエッジ強調処理、網点領域においてはスムージング処理といったマトリックス演算を行なう。さらに、マトリックス演算部209はロジック構成された γ 補正と同様の処理を行なう。マトリックス演算部209は、出力メモリ制御部207のombフラグを監視し、ノンビジー状態であれば、注目画素に対応した出力画像メモリ211のアドレスにマトリックス演算結果から得られたデータを書込む。これにより、 γ 補正部205による γ 補正後のデータは、出力画像メモリ211内に

において置換されることになる。

【0029】

なお、マトリックス演算を行なう領域はマトリックス演算部209で判定するようにしてもよいし、予め領域の判定結果をデータベースを介して入力するようにしてもよい。

【0030】

出力画像メモリ211に書込まれた γ 補正およびマトリックス演算処理後の出力画像データは、データベースを介してプリンタエンジンなどに出力される。

【0031】

この実施の形態においては入力画像メモリ201に画像データが書込まれると、まず入力メモリ制御部203、 γ 補正部205および出力メモリ制御部207が入力画像メモリ201内の画像データに対し γ 補正などの負荷の軽い1次元的な処理を行なう。この処理が行なわれている間、入力メモリ制御部203内のimbフラグがビジー状態となるため、マトリックス演算部209は入力画像メモリ201からの読出を行なうことができない。

【0032】

入力画像メモリ201内のすべての画像データに対し γ 補正が行なわれた後に、マトリックス演算部209は入力画像メモリ201内に記憶された画像データの所定の領域から処理の対象となる画像データを取出し、2次元的な処理を行なう。この処理結果が出力画像メモリ211内の所定領域に上書きされる。

【0033】

図4は、マトリックス演算部209が行なう処理について説明するためのフローチャートである。図を参照して、ステップS101で初期化が行なわれ、ステップS103において入力画像メモリ201内の処理の対象となる注目画素アドレスが決定される。そして、ステップS105で入力メモリ制御部203のアクセス状態（imbフラグ）を確認し、ビジー状態であれば、待機する（S107）。

【0034】

ビジー状態でなければ、ステップS109において入力画像メモリ201から

注目画素を中心とした $M \times N$ のマトリックス分の画像データが読出される。ステップ S 1 1 1 で $M \times N$ のマトリックスの演算処理が行なわれる。

【0035】

続いてステップ S 1 1 3 で演算処理が行なわれた画像データに対し γ 補正が行なわれる。

【0036】

ステップ S 1 1 5 で出力メモリ制御部 207 のアクセス状態 (omb フラグ) が確認される。ステップ S 1 1 7 で出力メモリ制御部 207 のアクセス状態がビジーでなくなるまで待つ。ステップ S 1 1 9 で出力メモリ制御部 207 の出力画像メモリ 211 に対する書込アドレスを確認する。これは、出力メモリ制御部 207 によって、 γ 補正されたデータが注目画素のアドレスに書込まれるまで、マトリックス演算後のデータの書込を待機させるものである。ステップ S 1 2 1 で出力画像メモリ 211 に対しマトリックス演算後のデータがオーバーライトされる。

【0037】

ステップ S 1 2 3 ですべてのマトリックス演算を終了したかが判定され、YES であれば終了する。一方、ステップ S 1 2 3 で NO であれば、ステップ S 1 0 3 に戻る。

【0038】

以上のように、ステップ S 1 0 5 および 1 0 7 により、マトリックス演算部 209 による入力画像メモリ 201 からの画像データの読出は、入力メモリ制御部 203 がノンビジーのときに行なわれる。これにより、入力メモリ制御部 203 による入力画像メモリ 201 のアクセスが優先される。

【0039】

また、ステップ S 1 1 5 および S 1 1 7 により、マトリックス演算部 209 による書込は常に出力メモリ制御部 207 がノンビジーのときに行なわれる。これにより出力メモリ制御部 207 による出力画像メモリ 211 へのアクセスが優先される。なお、出力メモリ制御部 207 に 1 ライン分の処理結果を蓄えるメモリを設け、出力メモリ制御部 207 が 1 ラインの処理を終了し、次のラインの処理

を開始するまでにのみ出力メモリ制御部 207 が出力画像メモリ 211 にアクセスを行なうようにしてもよい。

【0040】

〔第2の実施の形態〕

第2の実施の形態における画像処理装置の構成は第1の実施の形態のそれと同じであるためここでの説明を繰返さない。第2の実施の形態における画像処理装置では、図4に示される処理に代えて、図5に示されるフローチャートが実行される。この実施の形態における画像処理装置は、マトリックス演算部 209 が入力画像メモリ 201 に格納されている画像データをスキャンすることで、網点領域またはエッジ領域を検出し、その検出された領域に対し画像処理を行なうことを特徴としている。

【0041】

図5を参照して、ステップ S201 において初期化が行なわれる。ステップ S203 において入力画像メモリ 201 に対するアクセスが可能であるかを *i.m.b* フラグにより確認する。そして、アクセス可能となるまで待機する。

【0042】

ステップ S205 で入力画像メモリ 201 に格納されている画像データの中から注目画素を中心とした 5×5 の画素からなるマトリックスを抽出する。ステップ S207 で注目画素が孤立点であるかを判別する。YES であれば、ステップ S209 で 5×5 の画素のマトリックスよりさらに大きい 9×41 の画素のマトリックスを抽出し、そのマトリックスが網点画像であるかの判別を行なう (S211)。

【0043】

網点画像であれば、ステップ S213 において 5×5 画素のデータを用いたスムージング処理を行なう。その後、ステップ S215 で r 処理を行ない、ステップ S217 で出力画像メモリ 211 へのアクセスが可能であるかを *o.m.b* フラグにより確認する。出力画像メモリへのアクセスが可能であれば、ステップ S219 で出力画像メモリへデータの書込が行なわれる。次に、ステップ S221 ですべてのデータの処理を終了したかが判定され、YES であれば終了する。

【0044】

一方、ステップS221でNOであれば、ステップS203へ戻る。また、ステップS211でNOであれば、ステップS221へ進む。

【0045】

また、ステップS207で孤立点でないと判別されたのであれば、ステップS223においてエッジ画像であるかの判定が行なわれ、YESであればステップS225でエッジ強調処理が行なわれ、ステップS215へ進む。

【0046】

また、ステップS223でNOであれば、ステップS221へ進む。

本実施の形態におけるマトリックス演算部における処理時間は以下のようになる。

【0047】

(注目画素が網点の場合に対する処理時間) = (5×5画素マトリックス読出時間) + (孤立点判別時間) + (9×41画素マトリックス読出時間) + (網点判別時間) + (5×5画素スムージング処理時間) + (γ処理時間)

(注目画素がエッジの場合に対する処理時間) = (5×5画素マトリックス読出時間) + (孤立点判別時間) + (5×5画素エッジ強調処理時間) + (γ処理時間)

(注目画素がエッジまたは網点以外でありかつ孤立点でない場合に対する処理時間) = (5×5画素マトリックス読出時間) + (孤立点判別時間)

(注目画素がエッジまたは網点以外でありかつ孤立点である場合に対する処理時間) = (5×5画素マトリックス読出時間) + (孤立点判別時間) + (9×41画素マトリックス読出時間) + (網点判別時間)

以上を考慮すると、処理時間としては、

(注目画素がエッジまたは網点以外でありかつ孤立点でない場合に対する処理時間) < (注目画素がエッジの場合に対する処理時間) < (注目画素がエッジまたは網点以外でかつ孤立点である場合に対する処理時間) < (注目画素が網点の場合に対する処理時間) となる。

【0048】

〔第 3 の実施の形態〕

図 6 は、第 3 の実施の形態における画像処理装置の構成を示すブロック図である。この画像処理装置は、図 3 に示される第 1 の実施の形態の画像処理装置のデータバスに領域判別メモリ 251 を接続したものである。領域判別メモリ 251 は入力画像メモリ 201 内に格納された画像データの領域の判別結果を予め記録する。この実施の形態においては領域判別メモリ 251 は、入力画像メモリ 201 に格納されている画像データの 1 つの画素がエッジ領域であるか網点領域であるかそれ以外の領域であるかを記録する。

【0049】

図 7 は、本実施の形態におけるマトリックス演算部 209 が行なう処理を示すフローチャートである。図を参照して、ステップ S301 で初期化が行なわれる。ステップ S303 で注目画素のアドレスが抽出される。

【0050】

ステップ S305 で領域判別メモリ 251 により注目画素がエッジ領域であるかまたは網点領域であるかが判定される。エッジ領域または網点領域であれば、ステップ S307 で *imb* フラグを確認することで入力画像メモリ 201 へのアクセスが可能であるかが判定され、可能となるまで待つ。ステップ S309 で注目画素の周囲の 5×5 の画素のマトリックスデータの読出が行なわれ、その注目画素が網点領域であればスムージング処理が行なわれ (S311)、エッジ領域であればエッジ強調処理が行なわれる (S321)。その後、注目画素の画像データに対し γ 処理が行なわれ (S313)、*omb* フラグにより出力画像メモリ 211 へのアクセスが可能であるかが判定され、可能となるまで待つ (S315)。

【0051】

次に、ステップ S317 で出力画像メモリ 211 へ画像データが書込まれる。ステップ S319 ですべてのデータの処理が終了したかが判定され、YES であれば本ルーチンを終了する。

【0052】

ステップ S319 で NO であれば、ステップ S303 へ戻る。ステップ S30

5でNOであれば、ステップS319へ進む。

【0053】

本実施の形態におけるマトリックス演算部における処理時間は以下になる。

【0054】

(注目画素が網点の場合に対する処理時間) = (注目画素の判別結果読出時間) + (5×5画素読出時間) + (5×5画素スムージング処理時間) + (γ処理時間)

(注目画素がエッジの場合に対する処理時間) = (注目画素の判別結果読出時間) + (5×5画素読出時間) + (5×5画素エッジ強調処理時間) + (γ処理時間)

(注目画素がエッジまたは網点以外の場合に対する処理時間) = (注目画素の判別結果読出時間)

以上を考慮すると、処理時間としては、

(注目画素がエッジまたは網点以外の場合に対する処理時間) < (注目画素が網点の場合に対する処理時間) < (注目画素がエッジの場合に対する処理時間) となる。

【0055】

[第4の実施の形態]

図8は、本発明の第4の実施の形態における画像処理装置の構成を示すブロック図である。本実施の形態における画像処理装置は、図3に示される画像処理装置と比較して、入力画像メモリ301および出力画像メモリ311をデュアルポートメモリとしている。これにより、同期式の回路による処理と非同期式の回路による処理とを並行することができ、画像処理がさらに高速化される。

【0056】

図9は、本実施の形態における画像処理装置のマトリックス演算部309が行なう処理を示すフローチャートである。このフローチャートは、図4に示されるフローチャートと比較して、imbフラグおよびombフラグを用いた入力画像メモリおよび出力画像メモリのアクセス状態を調べるステップ(図4におけるS

105, S107, S115およびS117)が削除されている。これは、メモリへのアクセス状態を考慮することなく、マトリックス演算部309がいつでもメモリにアクセスすることができるからである。

【0057】

ただし、マトリックス演算部309の出力結果は同期式の回路の出力結果が出力画像メモリ311に書込まれた後にオーバーライトする必要がある。そのため、図9におけるステップS419で出力メモリ制御部307による出力画像メモリ311への書込状態を調べ、同期式の回路からの出力結果が書込まれた後にマトリックス演算部309の演算結果が出力画像メモリ311へ書込まれるよう制御が行なわれる。

【0058】

〔上述の実施の形態における画像処理装置の効果〕

図10は、本実施の形態における画像処理装置の効果を説明するための図である。図を参照して、画像処理の時間の相対比を γ 補正(1次元処理):文字補正(5×5 マトリックス演算) $=1:25$ とし、1頁の画像データが100画素か1構成されていると想定した場合、全処理を同期式回路で構成すると1頁分の処理時間は100[画素] $\times 25$ となる。これに対し、上述の実施の形態のように γ 補正のみを同期式回路で構成した場合において文字分布が1頁内の50%であれば、処理時間は50[画素] $\times 25$ となる。また、文字分布が25%であれば、処理時間は25[画素] $\times 25$ となる。

【0059】

すなわち、すべての処理を同期式回路で構成した場合、文字の分布にかかわらずすべての画素において文字補正(5×5 マトリックス演算)を行なうため、処理時間が長くなるが、上述の実施の形態のように同期式の回路と非同期式の回路とを併有させることにより、必要な部分のみに文字補正が行なわれるため、装置の処理速度が向上する。

【0060】

なお、上記実施の形態においては、単一の装置内において処理を実行する例を示したが、複数の装置で処理を分担するようにしてもよい。例えば、同期処理部

分と非同期処理部分とを別装置で構成してもよい。

【0061】

なお、本例において、上記処理（S101～S123）を実行させるプログラムをメモリした記録媒体よりマトリクス演算部へプログラムをロードし、そのプログラムをマトリクス演算部で実行させてもよい。

【0062】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【図1】

本発明に係る画像処理装置の動作を説明するための図である。

【図2】

図1の処理をさらに詳しく説明するための図である。

【図3】

第1の実施の形態における画像処理装置のブロック図である。

【図4】

図3のマトリックス演算部209の処理を示すフローチャートである。

【図5】

第2の実施の形態における画像処理装置のマトリックス演算部が行なう処理を示すフローチャートである。

【図6】

第3の実施の形態における画像処理装置のブロック図である。

【図7】

図6のマトリックス演算部209の処理を示すフローチャートである。

【図8】

第4の実施の形態における画像処理装置の構成を示すブロック図である。

【図9】

図 8 のマトリックス演算部 309 の処理を示すフローチャートである。

【図 10】

本発明に係る画像処理装置の効果を説明するための図である。

【図 11】

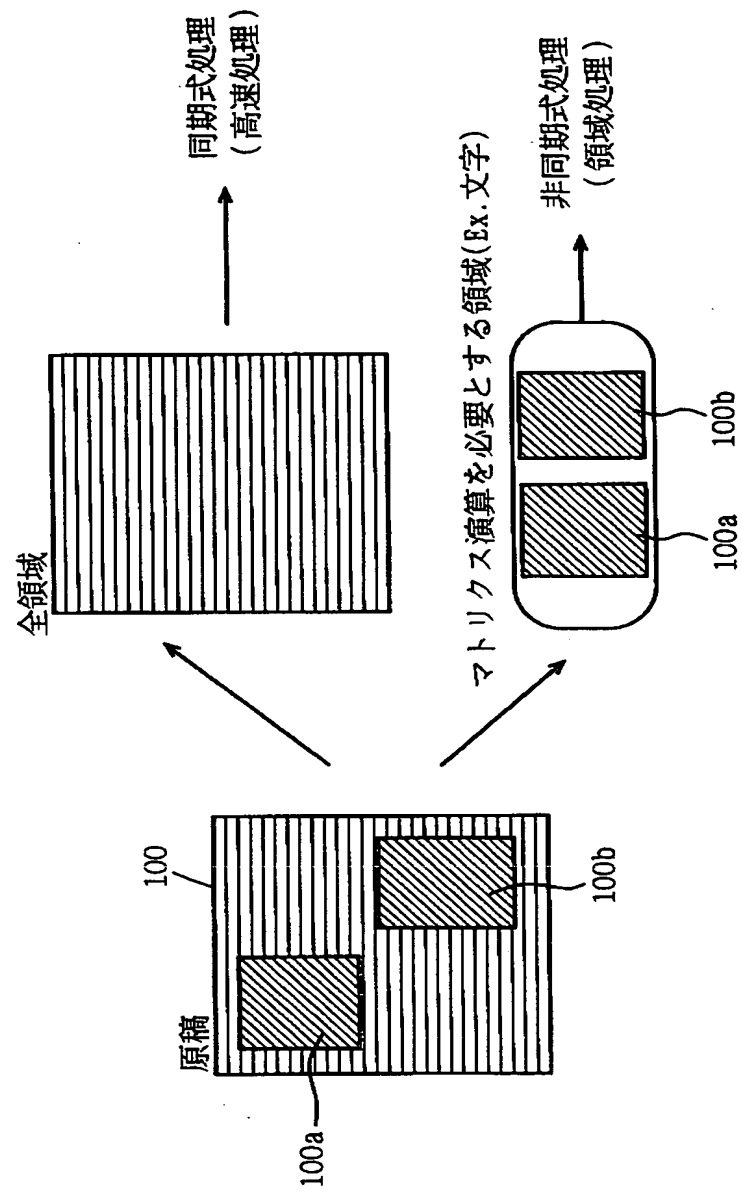
同期回路のみにより画像処理装置を構成した例を示すブロック図である。

【符号の説明】

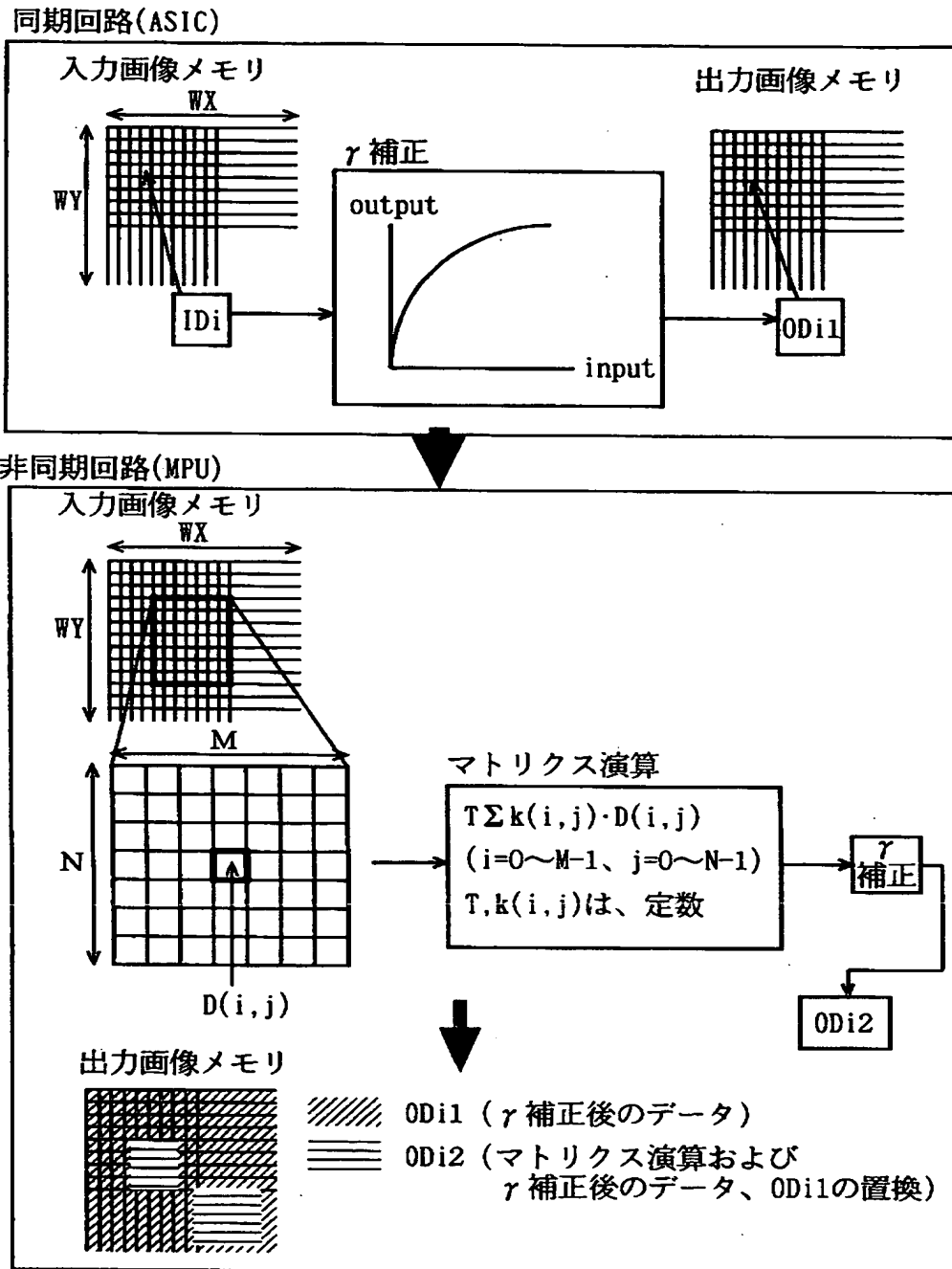
- 201, 301 入力画像メモリ
- 203, 303 入力メモリ制御部
- 205, 305 γ 補正部
- 207, 307 出力メモリ制御部
- 209, 309 マトリックス演算部
- 211, 311 出力画像メモリ
- 251 領域判別メモリ

【書類名】 図面

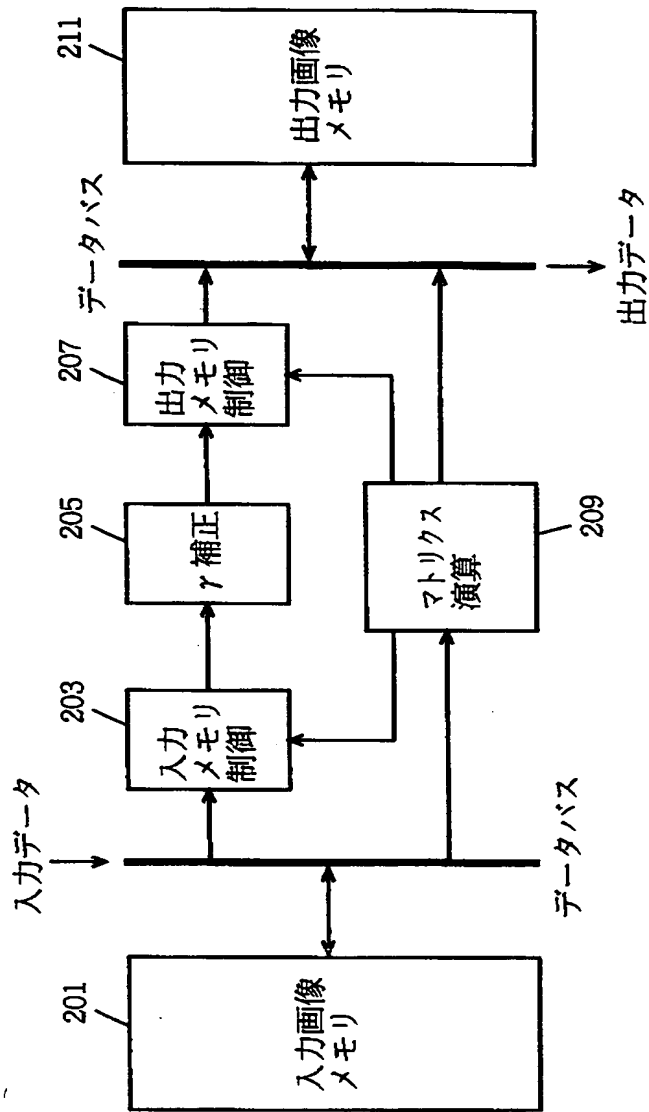
【図 1】



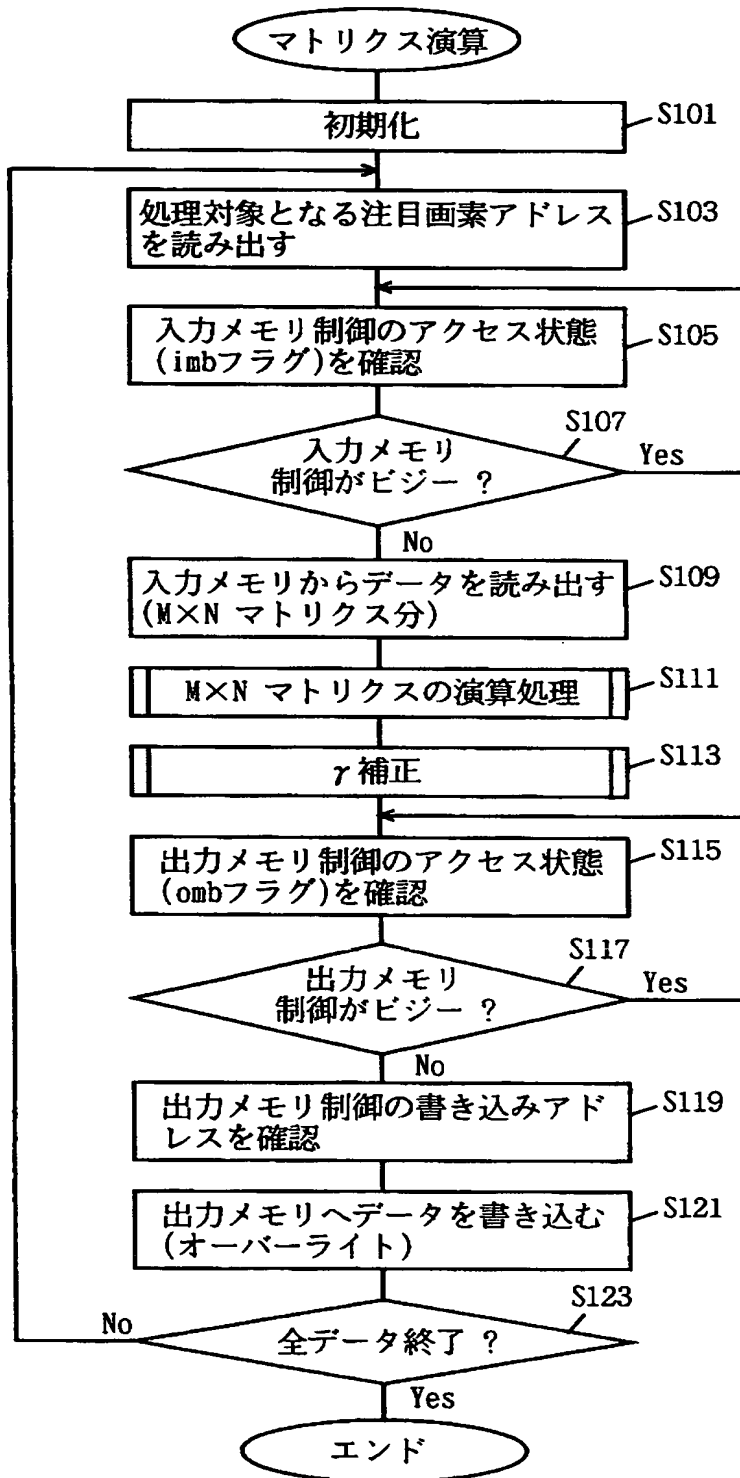
【図 2】



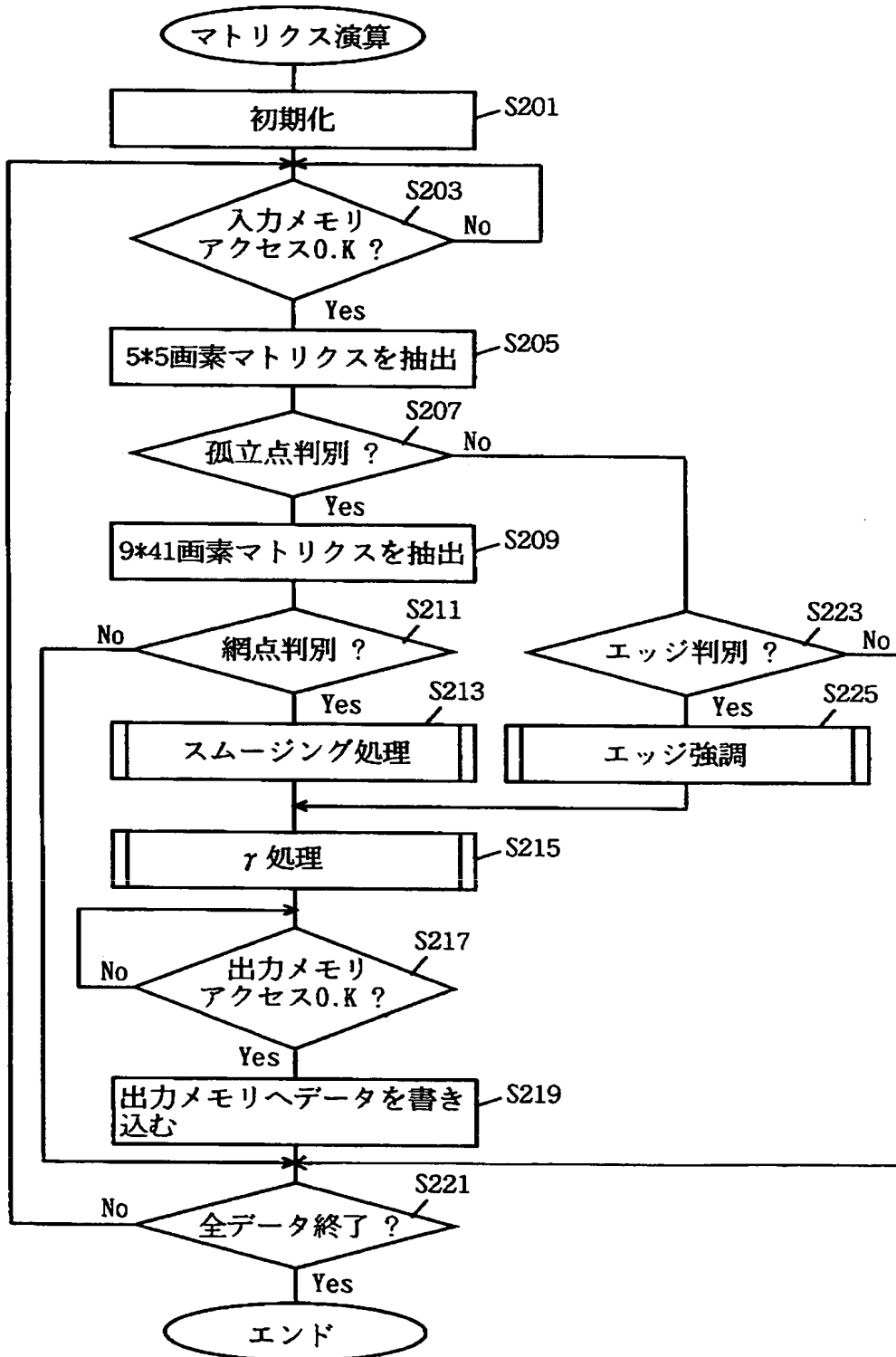
【図 3】



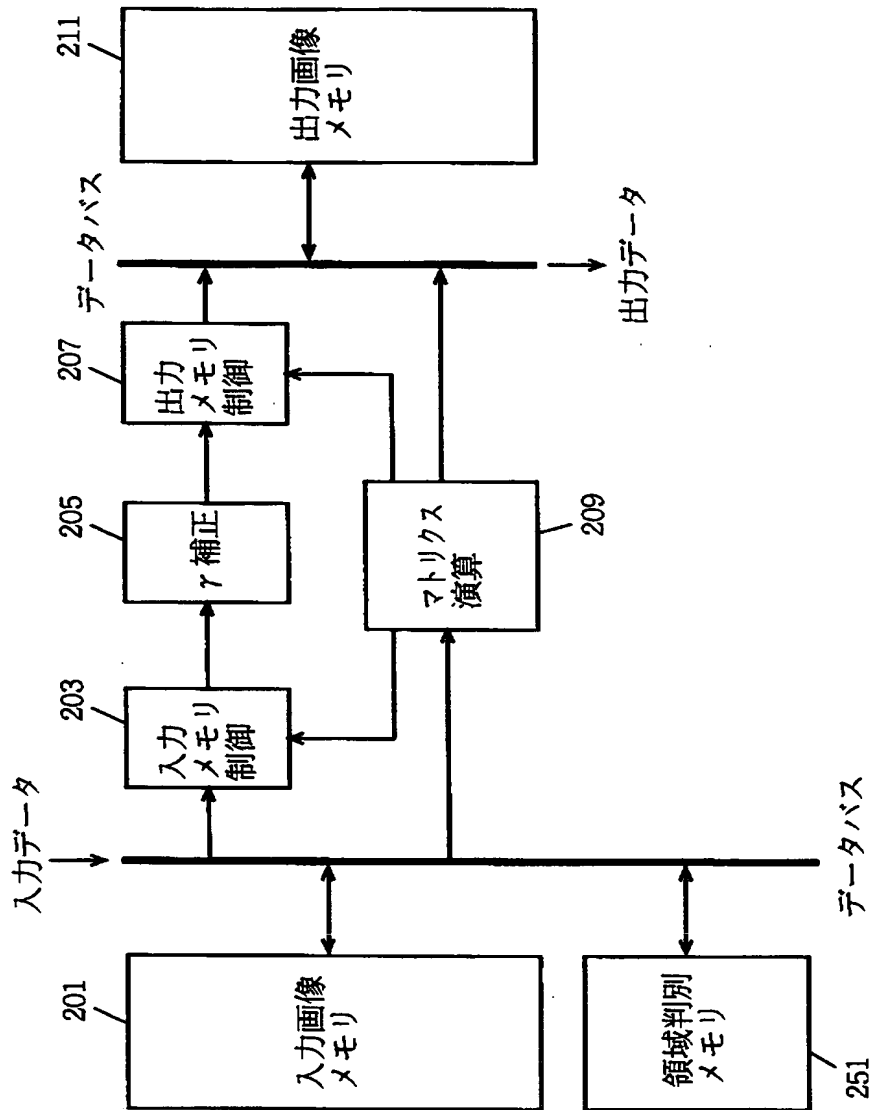
【図 4】



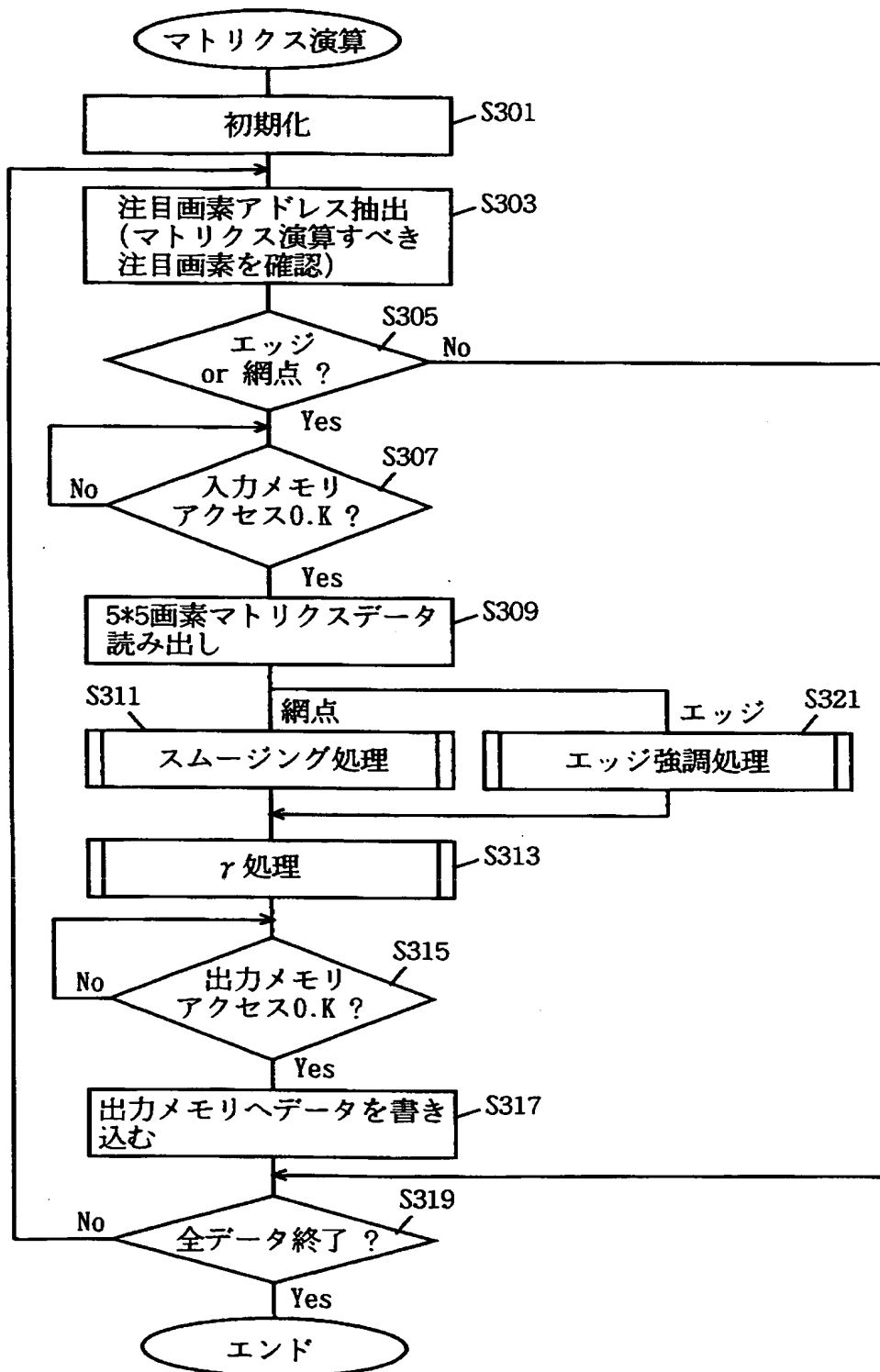
【図 5】



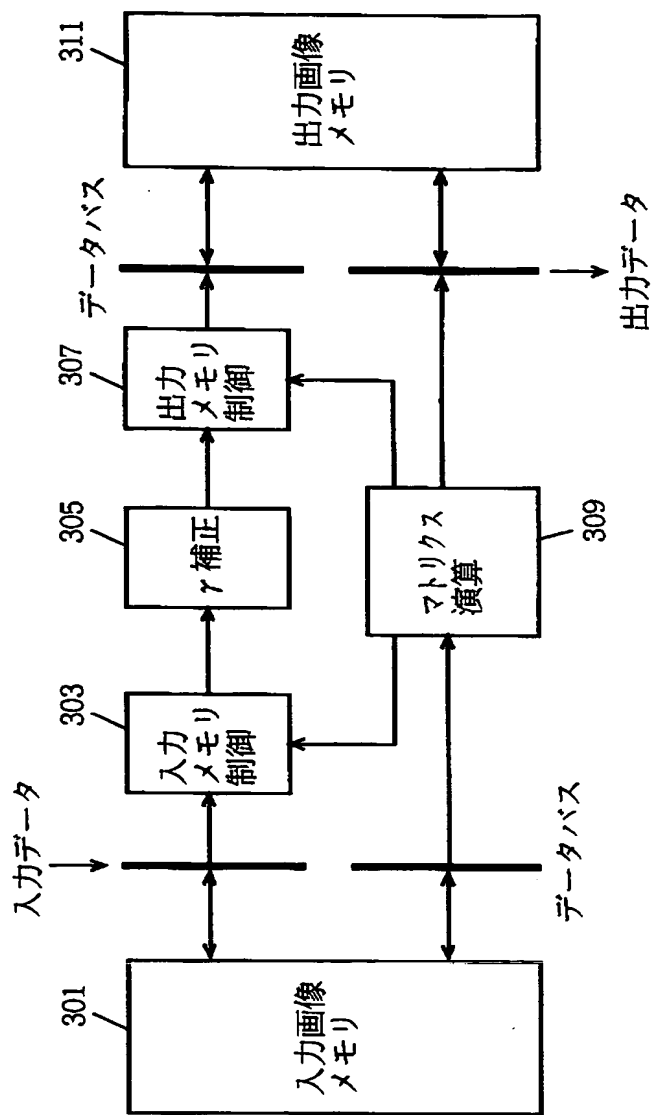
【図 6】



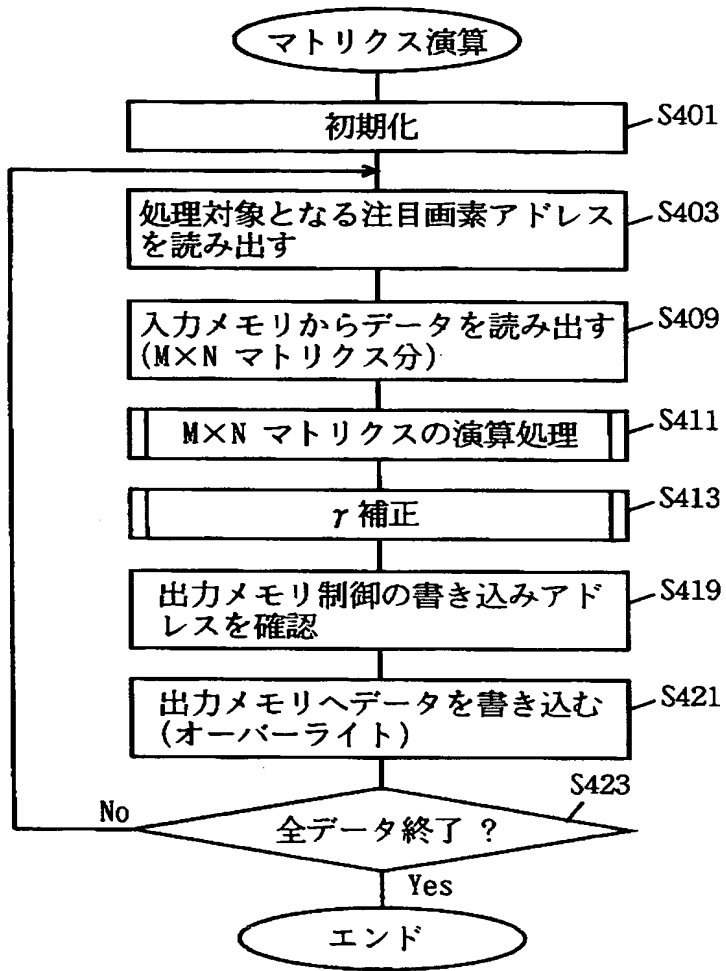
【図 7】



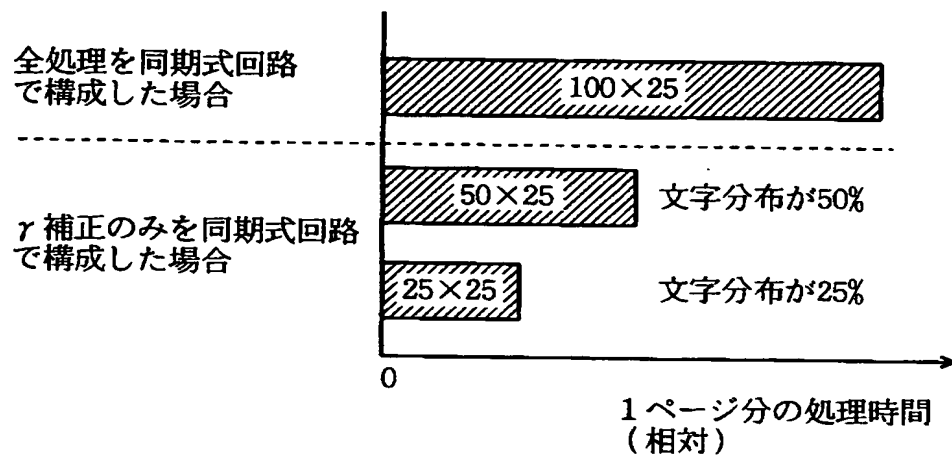
【図 8】



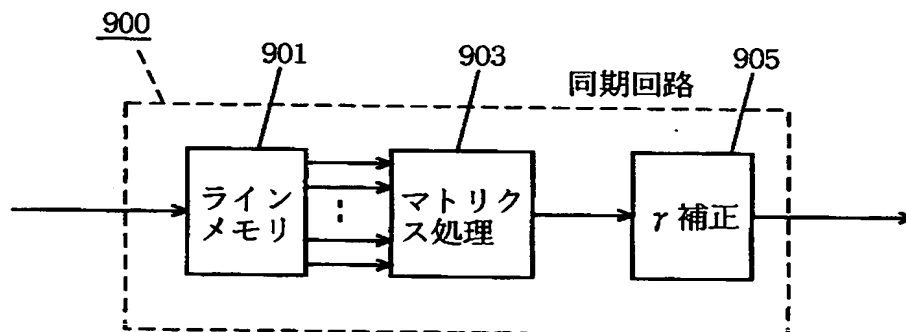
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 画像データに対し複数の画像処理を行なう装置において処理速度の向上を図る。

【解決手段】 原稿画像データ 100 のすべての領域においてたとえば γ 補正のような高速処理が可能な画像処理を同期式の回路で行なう。これに対し、原稿画像データ 100 内の文字領域 100 a, 100 b などのマトリックス演算を必要とする領域に対しては別途 MPU などの非同期式の回路により処理を行なう。これらの処理結果を合成することで、1 つの画像データを得る。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000006079

【住所又は居所】 大阪府大阪市中央区安土町二丁目3番13号 大阪
国際ビル

【氏名又は名称】 ミノルタ株式会社

【代理人】 申請人

【識別番号】 100064746

【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀
行南森町ビル 深見特許事務所

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀
行南森町ビル 深見特許事務所

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100096792

【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南
森町ビル 深見特許事務所

【氏名又は名称】 森下 八郎

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日 1994年 7月20日

[変更理由] 名称変更

住 所 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名 ミノルタ株式会社